



Researcher 변지훈, 전자공학과 (byunji@ajou.ac.kr)
남기훈, 전자공학과 (namgee4970@ajou.ac.kr)
이용선, 전자공학과 (lddydtjs789@hanmail.net)

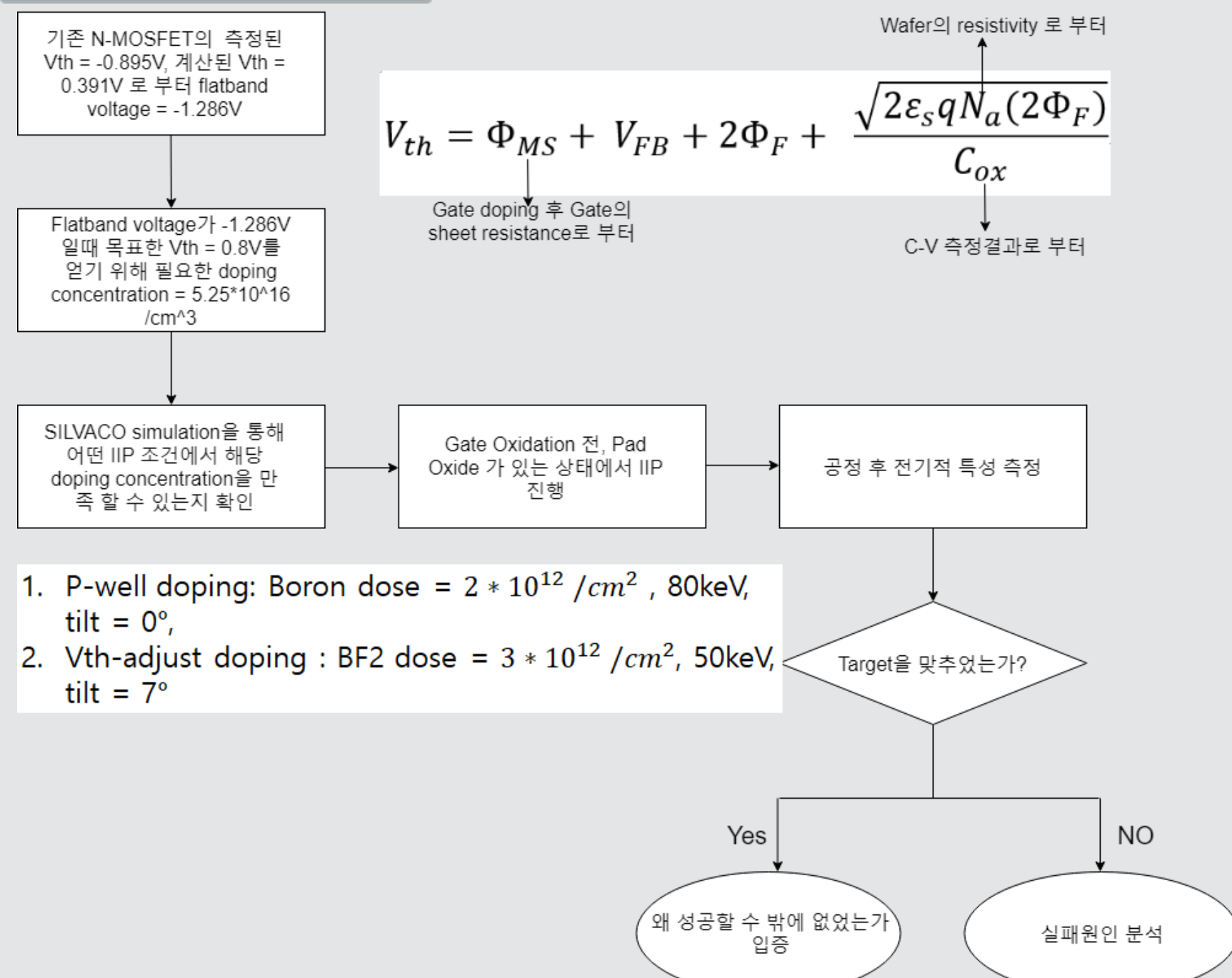
ABSTRACT

- 일반적으로 MOSFET은 0V의 V_{gs} (gate-source voltage)에서 off 상태가 이상적이다. (enhancement mode)
- 지난학기 진행한 N-channel MOSFET 공정결과 평균 threshold voltage가 -0.895V로 V_{gs} 가 0V일 때 device 는 on 상태였다.
- 이를 개선하기 위해 국립과학기술원에 Ion Implantation (IIP) 공정을 외주하여 channel 에 doping concentration 을 변경시킴으로써 평균 threshold voltage (V_{th})를 0.8V까지 증가시키고자 하였다.
- 목표한 $V_{th} = 0.8V$ 에 도달하는 것은 실패하였으나 $V_{th} = -0.595V$ 로 지난학기보다 0.3V 증가시키는 데에 성공하였다. 지난학기에 비해 oxide thickness가 56.18% 증가한 것이 target을 벗어난 원인이다.

OBJECTIVES

- $V_{th} = -0.895V$ 의 측정결과가 나온 지난 공정과 동일한 과정에서 IIP 공정을 추가하여 channel의 doping concentration을 변경시킴으로써 평균 $V_{th} = 0.8V$ 로 변조시킨다.
- 해당하는 threshold voltage를 얻기 위한 channel의 doping concentration은 SILVACO simulator를 통해 구한다.
- IIP 공정을 통해 실제로 threshold voltage를 변조시킬 수 있는 것을 확인하며 시뮬레이션 결과가 타당하였는지 공정 결과를 통해 확인해 본다.

METHODOLOGY



RESULTS(NO IIP)

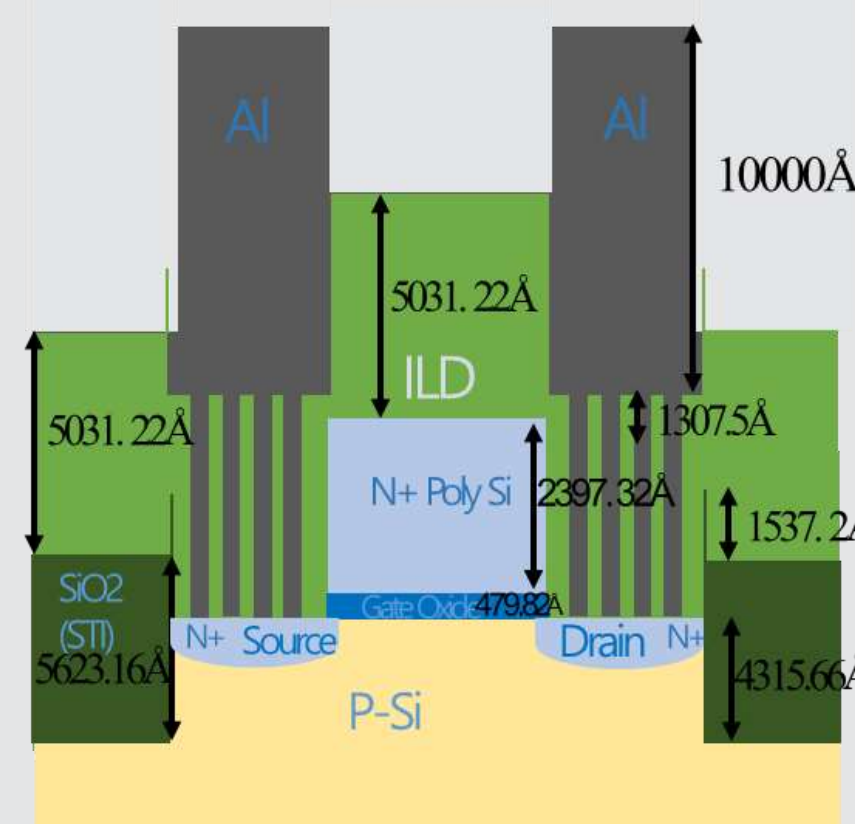


Fig 2. 단면도(IIP X)

- 평균 $V_{th} = -0.895V$
- Gate Oxide thickness (t_{ox}) 가 479.82Å로 동일한 공정조건으로 진행하였으나 IIP를 통한공정에서는 t_{ox} 가 749.4Å로 56.18% 차이가 존재함

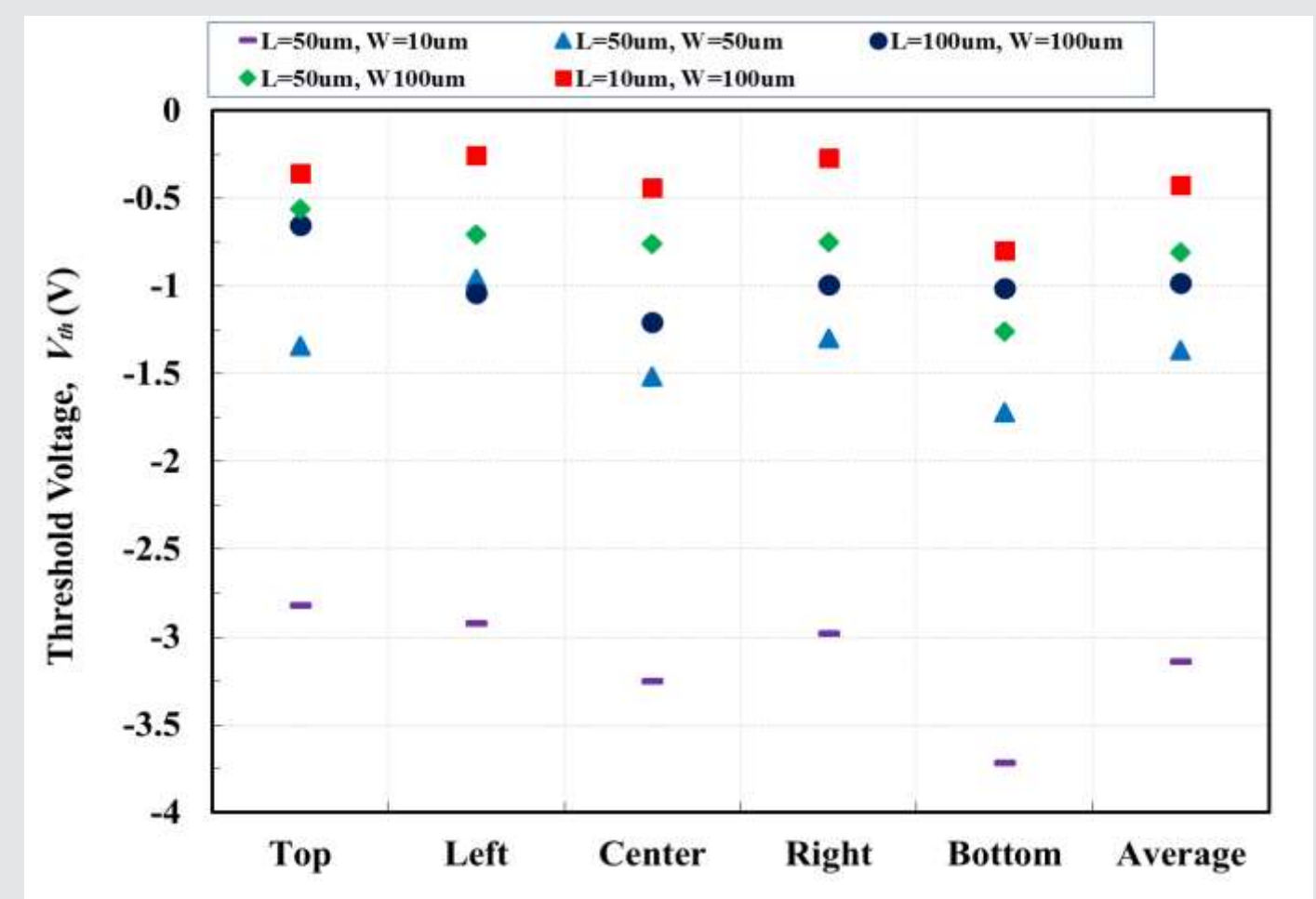
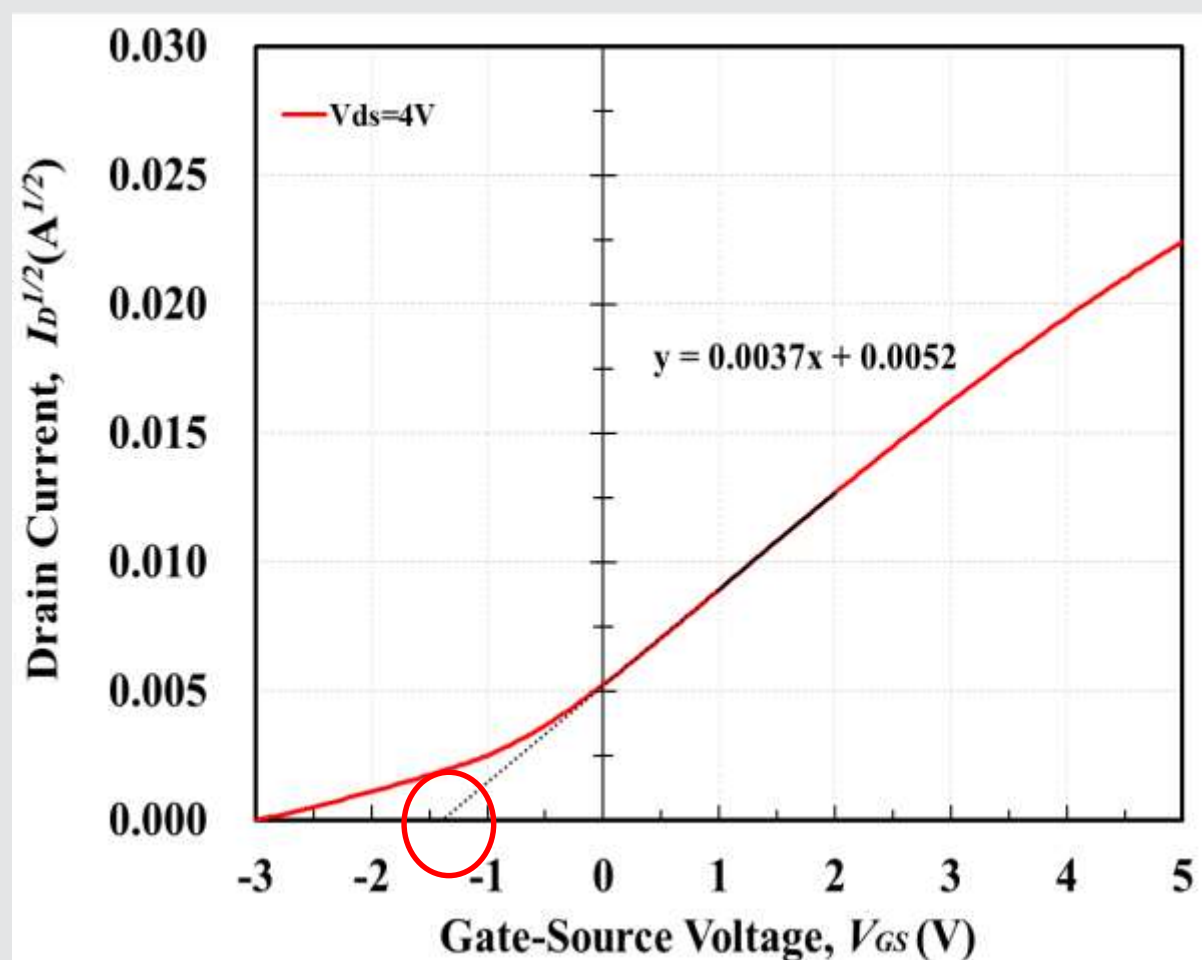


Fig 3. Length, Width에 따른 각 영역에서의 Vth 값(IIP X)

RESULTS

2. Vth(threshold Voltage) 추출

Fig 4. Vgs-Id^{1/2} 그래프

- 직선 영역에서 추세선을 그었을 때, x-절편을 V_{th} 로 설정

3. Vth(threshold Voltage) 최종 결과

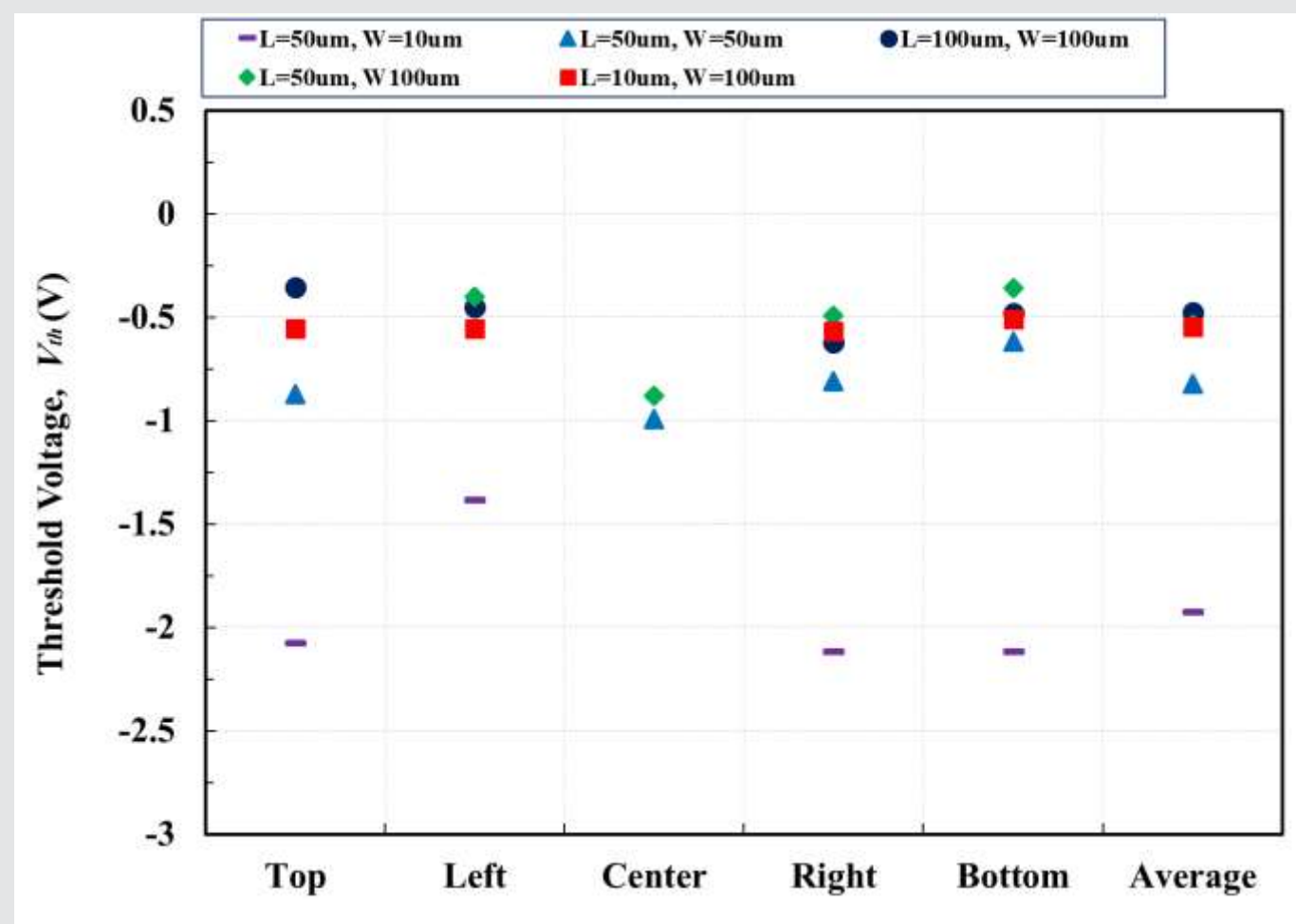


Fig 5. Length, Width에 따른 각 영역에서 Vth 값

4. 원인분석

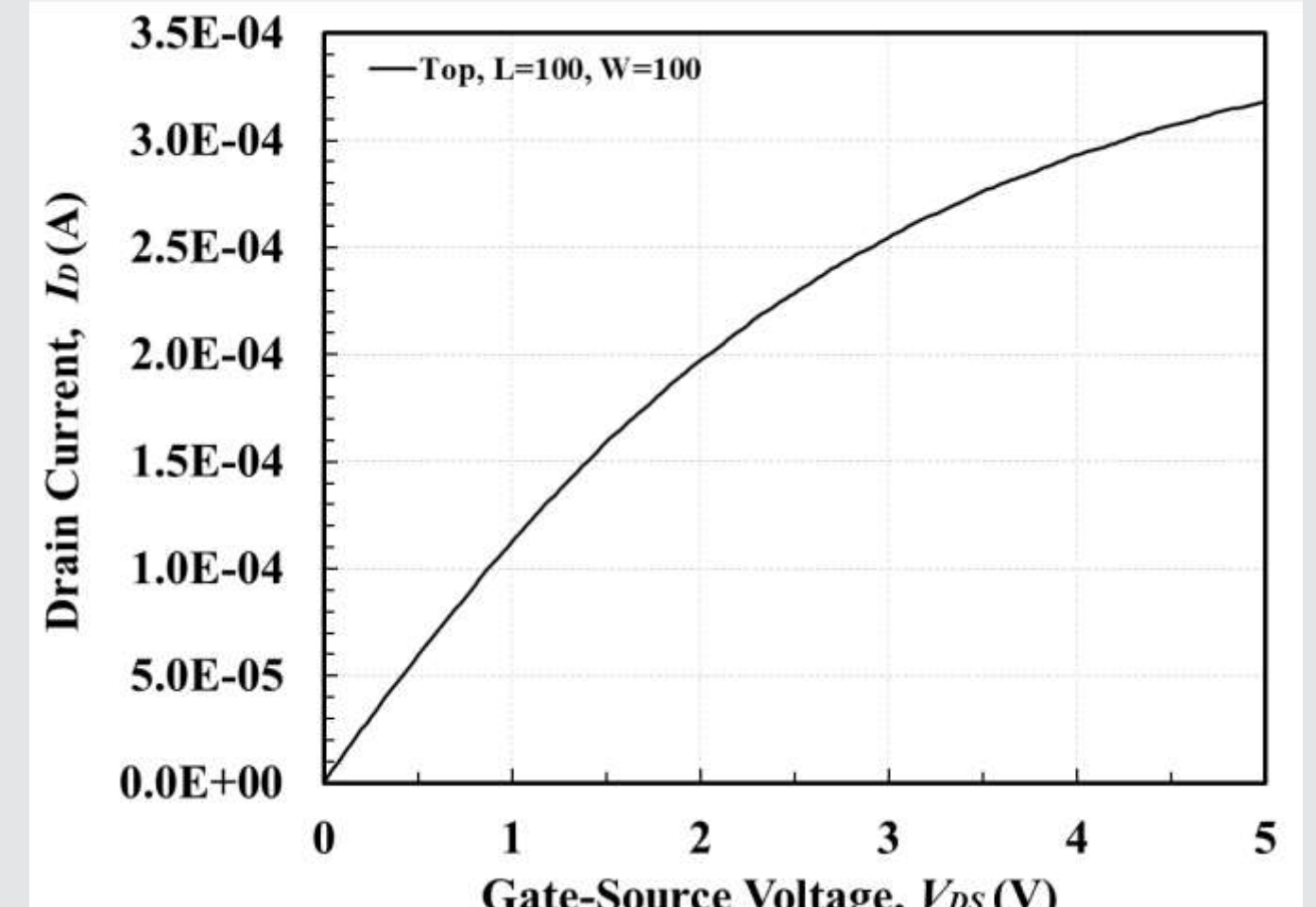


Fig 6. Gate를 Open 시킨 후의 Vds-Id 그래프

CONCLUSIONS

- Target은 벗어났지만 IIP 공정을 통해 channel의 doping concentration 을 증가시킴으로써 threshold voltage를 0.3V를 증가시키는 것은 성공하였다.
- 공정결과와 Target 에서 벗어난 이유는 ‘공정과 동일한 과정’을 재현하는데 실패했기 때문으로 판단된다. Gate Oxide thickness의 증가로 인해 $C_{ox} = \epsilon_{ox}/t_{ox}$ 가 감소하므로 목표한 target에 threshold voltage가 미치지 못하였다.
- Channel에 leakage path가 존재함을 볼 수 있는데 이는 IIP로 인한 channel의 damage가 annealing으로 충분히 healing 되지 못한 것이 원인으로 판단된다.
- V_{th} 에는 많은 변수가 영향을 끼치므로 공정실험시 변수를 제외한 요인을 모두 통제하는 것이 굉장히 중요하다.

Professor 이종욱, 전자공학과

NMOSFET

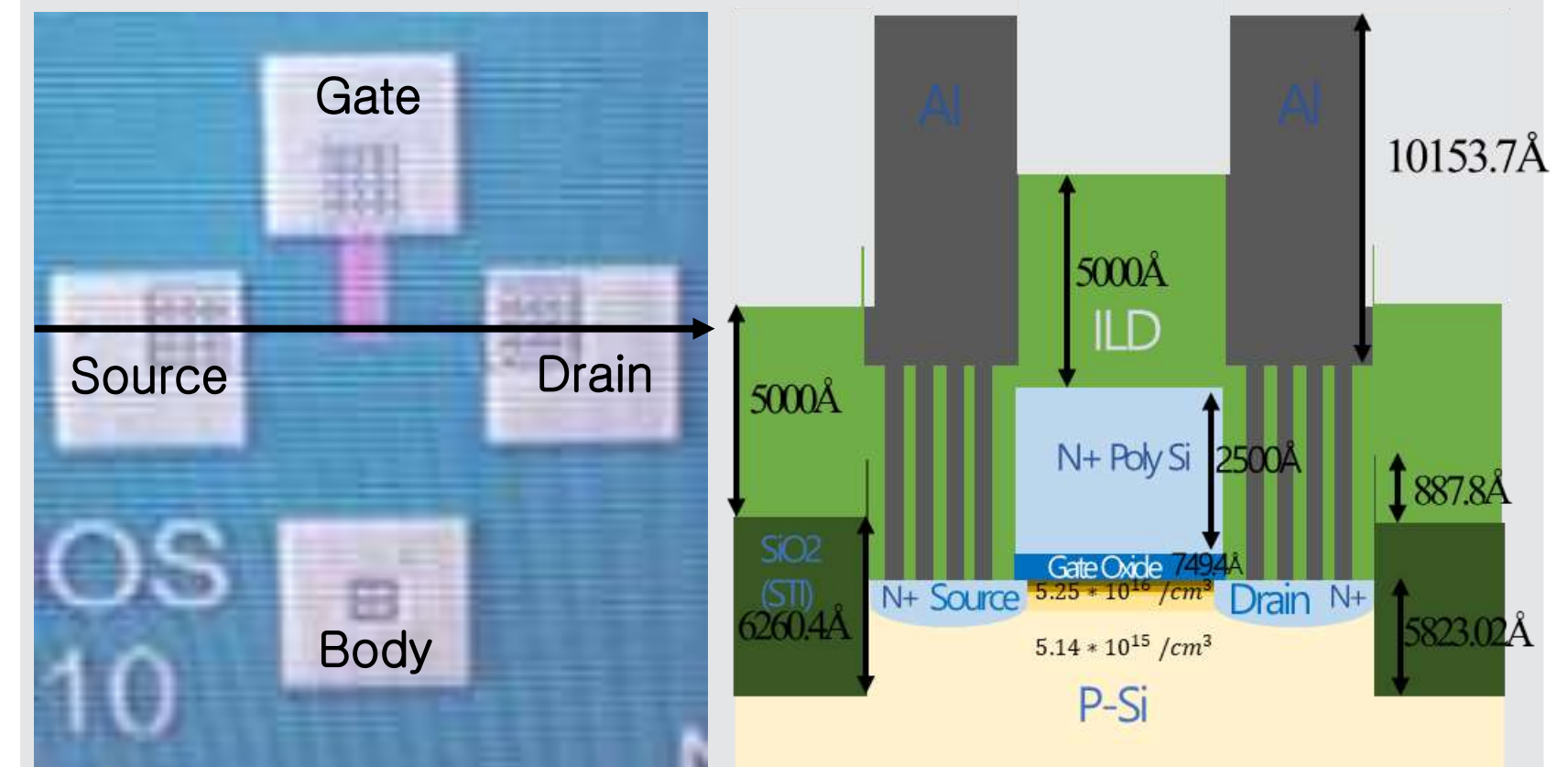


Fig 1. 공정 후 단면도

- 4-inch wafer에 공정을 진행하였으며 critical dimension은 10μm이다.
- Self-aligned 구조의 source drain을 가졌으며 doping은 phosphorus disk를 이용하여 diffusion으로 진행하였다.
- Ion Implantation (IIP) 공정을 통해 channel의 doping concentration을 증가시킴으로써 threshold voltage를 증가시키고자 하였다.